

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-215029

(P2000-215029A)

(43) 公開日 平成12年8月4日 (2000.8.4)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
G 0 6 F 7/548		G 0 6 F 7/548	A 5 J 0 4 9
H 0 3 K 3/80		H 0 3 K 3/80	

審査請求 有 請求項の数11 O L (全 11 頁)

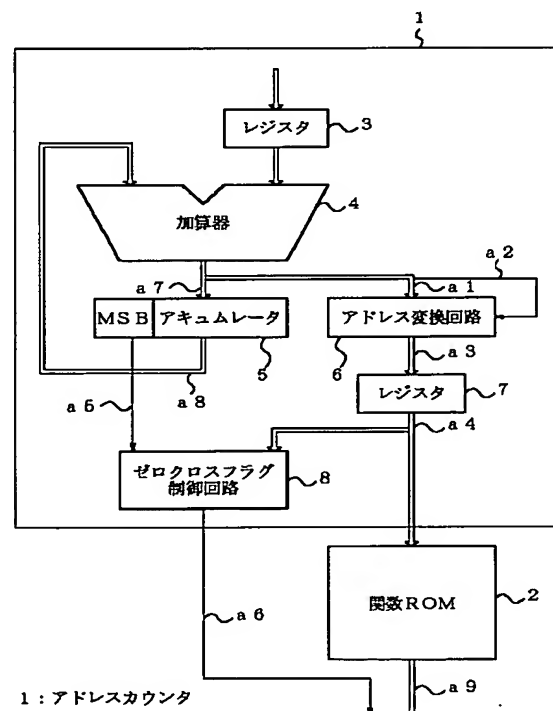
(21) 出願番号	特願平11-16960	(71) 出願人	000232036 日本電気アイシーマイコンシステム株式会社 神奈川県川崎市中原区小杉町1丁目403番53
(22) 出願日	平成11年1月26日 (1999.1.26)	(72) 発明者	至田 浩章 神奈川県川崎市中原区小杉町一丁目403番53 日本電気アイシーマイコンシステム株式会社内
		(74) 代理人	100082935 弁理士 京本 直樹 (外2名) Fターム (参考) 5J049 AA15 AA17 AA27 AA28 AA34 CD01

(54) 【発明の名称】 周期関数生成回路

## (57) 【要約】

【課題】従来例とほぼ同等の1周期の1/4周期分の関数ROM容量でありながら、周波数面における歪み、振幅面における歪み、及びサンプリングクロックとの位相ずれが全く生じない周期関数を生成する周期関数生成回路を提供する。

【解決手段】本発明は大きくは、アドレスカウンタ1と、生成する周期関数の振幅値を格納した関数ROM2とにより構成されている。さらに、アドレスカウンタ1は、外部から設定可能なレジスタ3と、加算器4と、アキュムレータ5と、レジスタ7と、アドレス変換回路6と、ゼロクロスフラグ制御回路8とにより構成されている。



【特許請求の範囲】

【請求項 1】 周期関数の符号化サンプリング値系列を ROM テーブル変換方式によりデジタル的に生成する回路において、周期関数の 1 周期の  $1/4$  周期分の振幅値を格納する関数 ROM と、前記関数 ROM のアドレス信号を生成するアドレス生成部とを備え、前記アドレス生成部は、アキュムレータと、外部より任意に設定可能な第 1 のレジスタと、前記アキュムレータの出力と前記第 1 のレジスタの出力との加算を行い前記アキュムレータに入力する加算器と、前記加算器の出力のうち最上位から 2 ビット以外の出力が入力され前記関数 ROM のアドレス信号に変換するアドレス変換回路と、前記アドレス変換回路の出力を格納する第 2 のレジスタと、前記アキュムレータの最上位ビット出力が入力され論理制御を行うゼロクロスフラグ制御回路とを備え、前記第 2 のレジスタの出力を前記関数 ROM のアドレス信号とし、前記関数 ROM は前記加算器の出力のうち最上位から 2 ビット以外のビット数を 2 の指数とする累乗値に 1 を加えたアドレス領域を有し、前記関数 ROM から読み出された出力と前記ゼロクロスフラグ制御回路の出力とを合わせて符号化サンプリング値系列とすることを特徴とする周期関数生成回路。

【請求項 2】 前記アドレス変換回路は、前記加算器の出力のうち最上位から 2 ビット以外の出力が入力され前記加算器の出力のうち最上位から 2 ビット目の出力に基づき変換する変換手段を備えることを特徴とする請求項 1 記載の周期関数生成回路。

【請求項 3】 前記アドレス変換回路は、前記加算器の出力のうち最上位から 2 ビット目の出力が 1 の場合には前記加算器の出力のうち最上位から 2 ビット以外の出力を各ビット毎に反転出力し前記加算器の出力のうち最上位から 2 ビット目の出力が 0 の場合には前記加算器の出力のうち最上位から 2 ビット以外の出力をスルー出力する第 1 の論理手段と、前記第 1 の論理手段の出力と前記加算器の出力のうち最上位から 2 ビット目の出力とを最下位ビットにて加算して出力する第 2 の論理手段とを備えることを特徴とする請求項 1 記載の周期関数生成回路。

【請求項 4】 前記ゼロクロスフラグ制御回路は、前記アキュムレータの最上位ビット出力が入力され前記第 2 のレジスタの全ビット出力の判定に基づき論理制御を行い出力する制御手段を備えることを特徴とする請求項 1, 2, 3 のいずれか 1 項記載の周期関数生成回路。

【請求項 5】 前記ゼロクロスフラグ制御回路は、前記第 2 のレジスタの全ビット出力が全て 0 であることを判定する第 3 の論理手段と、前記第 3 の論理手段の出力により制御され前記第 2 のレジスタの全ビット出力が全て 0 の場合には前記アキュムレータの最上位ビット出力にかかわらず 0 を出力し前記第 2 のレジスタの全ビット出力が全て 0 でない場合には前記アキュムレータの最上

位ビット出力をスルー出力する第 4 の論理手段とを備えることを特徴とする請求項 1, 2, 3 のいずれか 1 項記載の周期関数生成回路。

【請求項 6】 周期関数の符号化サンプリング値系列を ROM テーブル変換方式によりデジタル的に生成する回路において、周期関数の 1 周期の  $1/4$  周期分の振幅値を格納する関数 ROM と、前記関数 ROM のアドレス信号を生成するアドレス生成部とを備え、前記アドレス生成部は、アキュムレータと、外部より任意に設定可能な第 1 のレジスタと、前記アキュムレータの出力と前記第 1 のレジスタの出力との加算を行い前記アキュムレータに入力する加算器と、前記アキュムレータの出力のうち最上位から 2 ビット以外の出力が入力され前記関数 ROM のアドレス信号に変換するアドレス変換回路と、前記アドレス変換回路の出力を格納する第 2 のレジスタと、前記アキュムレータの最上位ビット出力を格納する第 3 のレジスタと、前記第 3 のレジスタの出力が入力され論理制御を行うゼロクロスフラグ制御回路とを備え、前記第 2 のレジスタの出力を前記関数 ROM のアドレス信号とし、前記関数 ROM は前記アキュムレータの出力のうち最上位から 2 ビット以外のビット数を 2 の指数とする累乗値に 1 を加えたアドレス領域を有し、前記関数 ROM から読み出された出力と前記ゼロクロスフラグ制御回路の出力とを合わせて符号化サンプリング値系列とすることを特徴とする周期関数生成回路。

【請求項 7】 前記アドレス変換回路は、前記アキュムレータの出力のうち最上位から 2 ビット以外の出力が入力され前記アキュムレータの出力のうち最上位から 2 ビット目の出力に基づき変換する変換手段を備えることを特徴とする請求項 6 記載の周期関数生成回路。

【請求項 8】 前記アドレス変換回路は、前記アキュムレータの出力のうち最上位から 2 ビット目の出力が 1 の場合には前記アキュムレータの出力のうち最上位から 2 ビット以外の出力を各ビット毎に反転出力し前記アキュムレータの出力のうち最上位から 2 ビット目の出力が 0 の場合には前記アキュムレータの出力のうち最上位から 2 ビット以外の出力をスルー出力する第 1 の論理手段と、前記第 1 の論理手段の出力と前記アキュムレータの出力のうち最上位から 2 ビット目の出力とを最下位ビットにて加算して出力する第 2 の論理手段とを備えることを特徴とする請求項 6 記載の周期関数生成回路。

【請求項 9】 前記ゼロクロスフラグ制御回路は、前記第 3 のレジスタの出力が入力され前記第 2 のレジスタの全ビット出力の判定に基づき論理制御を行い出力する制御手段を備えることを特徴とする請求項 6, 7, 8 のいずれか 1 項記載の周期関数生成回路。

【請求項 10】 前記ゼロクロスフラグ制御回路は、前記第 2 のレジスタの全ビット出力が全て 0 であることを判定する第 3 の論理手段と、前記第 3 の論理手段の出力により制御され前記第 2 のレジスタの全ビット出力が全

て0の場合には前記第3のレジスタの出力にかかわらず0を出力し前記第2のレジスタの全ビット出力が全て0ではない場合には前記第3のレジスタの出力をスルー出力する第4の論理手段とを備えることを特徴とする請求項6, 7, 8のいずれか1項記載の周期関数生成回路。

【請求項11】 前記関数ROMの有するアドレス領域の最小アドレスには360度の位相角を1周期とする周期関数の0度の位相角が対応し、前記アドレス領域の最大アドレスには前記周期関数の90度の位相角が対応し、前記最小アドレスから前記最大アドレスまでの各アドレスには0度から90度までの前記位相角を均等に離散化した各位相角が対応して前記周期関数の振幅値が格納されることを特徴とする請求項1, 6のいずれか1項記載の周期関数生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、周期関数生成回路に関し、特に画像及び音声信号処理回路、その他周期関数の生成を要する信号処理回路内でデジタル的に周期関数を生成する回路に関する。

【0002】

【従来の技術】正弦波等の周期関数を生成する方法としては、一般にデジタル的なROMテーブル変換方式が良く知られている。正弦波を生成する場合、基本的には、関数ROMに一周分分の正弦波関数を格納し、関数ROMのアドレスを周期的に制御することにより、さまざまな周波数の正弦波を生成することができる。これを改良した従来例として、図6に示す特公平7-43620号公報に記載された周期関数発生回路があり、周期関数の特徴である周期性に着目して関数ROMのアドレスの制御方法を工夫することで、関数ROMには1/4周期分の正弦波関数を格納するだけで1周期分の正弦波関数を出力できるようにし、関数ROM容量を以前の1/4以下に削減したものである。

【0003】図6において、1はアドレスカウンタ、2は関数ROMであり、アドレスカウンタ1は、レジスタ3、加算器4、アキュムレータ5、ビット反転制御回路14、レジスタ7により構成されている。また図7は図6の構成の内部動作を示す表であり、図8(a)は関数ROMに正弦波関数を格納する際の関数ROMアドレスと格納される振幅値との関係図であり、図8(b)はレジスタ3に値2を設定した場合の関数ROMの出力波形図である。加算器4はレジスタ3の設定値とアキュムレータ5の値とを加算し、アキュムレータ5は加算結果をサンプリング周期でラッチする。ビット反転制御回路14は加算器4の出力のうち最上位から2ビット以外のビットが入力され、最上位から2番目のビットの制御によりデータのスルーか反転かを切り換える。ビット反転制御回路14の出力はアキュムレータ5と同様にレジスタ7によりサンプリング周期でラッチされる。関数ROM

2には1周期の1/4周期分の周期関数値が格納されており、アドレスカウンタ1によって演算されたレジスタ7の値をアドレスとして関数ROM2に与えることにより、格納された値が読み出される。関数ROM2の出力と、符号ビットとしてのアキュムレータ5の最上位ビットをあわせて周期関数出力とされ、1/4周期分の関数ROM容量により1周期分の周期関数の発生が可能となっている。

【0004】また、この周期関数発生回路では、

サンプリング周波数： $f_s$

関数ROM2のアドレス： $p$ ビット

レジスタ3の設定値： $n$

とすると、関数ROM2より出力される関数の周波数は、

$$\text{出力周波数} = n \times f_s \div 2^{p+2}$$

となり、上式よりレジスタ3の設定値 $n$ を変化させることにより、出力周波数をサンプリング周波数 $f_s$ の $n/2^{p+2}$ 倍に自由に設定することができる。つまりこの式は、周期関数を発生する際に関数ROM2のアドレスが実際には $p$ ビットであっても、 $(p+2)$ ビットのアドレスを有する関数ROMを読み出すのと等価であり、1/4周期分の関数ROM容量により1周期分の周期関数が発生することを示している。

【0005】

【発明が解決しようとする課題】ここで、従来例における関数ROM2への周期関数の振幅値の格納について検証するために、まず周期関数として正弦波関数を例に、第1の格納例として、関数ROM2の最小アドレスを $\sin(0^\circ)$ とし最大アドレスを $\sin(90^\circ)$ として他のアドレスは最大-最小アドレス間を均等な位相角の間隔により離散化し、振幅を量子化した正弦波関数を関数ROM2に格納することを考える。

関数ROM2のアドレス： $p$ ビット

関数ROM2のアドレス値： $m$   $0 \leq m \leq 2^p - 1$  ( $m$ は正の整数)

とすると、関数ROM2に格納する1/4周期分の正弦波関数は、 $\sin(90^\circ \times (m \div (2^p - 1)))$ となり、さらに振幅を $q$ ビットとして量子化すると、振幅の最大値は $2^q - 1$ であるから、関数ROM2に格納する値は、 $(2^q - 1) \times \sin(90^\circ \times (m \div (2^p - 1)))$ と表すことができる。例えば、 $p=2$ 、 $q=5$ とすると、 $m=0, 1, 2, 3$ であるから、関数ROM2に格納する正弦波関数値は、

$$m=0: 31 \times \sin(0^\circ) = 0$$

$$m=1: 31 \times \sin(30^\circ) \approx 16$$

$$m=2: 31 \times \sin(60^\circ) \approx 27$$

$$m=3: 31 \times \sin(90^\circ) = 31$$

となり、これを説明したのが図9(a)である。

【0006】ところが、従来例の構成では関数ROM2のアドレスをビット反転制御回路14によりスルー/反

転を切り替えていることから、レジスタ3の設定値が $n = 1$ の場合、図9(b)に説明するように、関数ROM2の最大アドレス( $m = 3$ )及び最小アドレス( $m = 0$ )が連続して2回読み出されてしまうため、出力される周期関数に周波数面における歪みが発生するという不都合が生じる。

【0007】次に、上記の周波数面での歪みを防ぐため、第2の格納例として、関数ROM2の最大アドレス及び最小アドレスが連続する際のアドレスの折り返しを考慮し、サンプリングクロックに対してサンプリングクロックの $1/2$ 周期分のオフセットをもたせた位相角における正弦波関数値を関数ROM2に格納することを考える。これにより、出力される正弦波のゼロクロス点は第2象限から第3象限、第4象限から第1象限に移行する際のサンプリングクロック間の中央に位置することになり、上記の周波数歪みは発生しなくなる。

関数ROM2のアドレス： $p$ ビット

関数ROM2のアドレス値： $m \quad 0 \leq m \leq 2^p - 1$  ( $m$ は正の整数)

とすると、サンプリングクロックの $1/2$ 周期分のオフセット位相角は、 $(90^\circ \div 2^p) \div 2$ であるから、関数ROM2に格納する $1/4$ 周期分の正弦波関数は、 $\sin(90^\circ \times ((2m+1) \div 2^{p+1}))$ となり、さらに振幅を $q$ ビットとして量子化すると、振幅の最大値は $2^q - 1$ であるから、関数ROM2に格納する値は、 $(2^q - 1) \times \sin(90^\circ \times ((2m+1) \div 2^{p+1}))$ と表すことができる。例えば、 $p = 2$ 、 $q = 5$ とすると、 $m = 0, 1, 2, 3$ であり、サンプリングクロックの $1/2$ 周期分のオフセット位相角は $11.25^\circ$ であるから、関数ROM2に格納する正弦波関数値は、

$$m = 0 : 31 \times \sin(11.25^\circ) \approx 6$$

$$m = 1 : 31 \times \sin(33.75^\circ) \approx 17$$

$$m = 2 : 31 \times \sin(56.25^\circ) \approx 26$$

$$m = 3 : 31 \times \sin(78.75^\circ) \approx 30$$

となり、これを説明したのが図10(a)である。

【0008】これらを関数ROM2に格納すると、前例と同様にレジスタ3の設定値が $n = 1$ の場合、図10

(b)に説明するように、周波数面における歪みがない正弦波が出力される。ところが、関数ROM2の最大アドレス( $m = 3$ )に対し格納する正弦波関数の振幅値(本例では30)は、本来出力として得たい正弦波関数の最大振幅値(本例では31)よりオフセット位相角分だけ小さくならざるを得ない。したがって、出力される周期関数に振幅面における歪みが発生するという新たな不都合が生じる。

【0009】さらにこの場合は、サンプリングクロックに対してサンプリングクロックの $1/2$ 周期分のオフセットをもたせた位相角における正弦波関数値を関数ROM2に格納しているためサンプリングクロックに対して

ゼロクロス点が合うことはなく、出力される正弦波関数とサンプリングクロックの間には位相ずれが発生するためサンプリングクロックに対して位相を合わせる必要のあるシステムには使用することができないという不都合も生じる。

【0010】以上のように、従来例においては、出力される周期関数に周波数面における歪み、又は振幅面における歪み、或いはサンプリングクロックとの位相ずれが発生するという問題点がある。本発明の目的は、従来例とはほぼ同等の関数ROM容量でありながら、周波数面における歪み、振幅面における歪み、及びサンプリングクロックとの位相ずれが全く生じない周期関数を生成する周期関数生成回路を提供することにある。

【0011】

【課題を解決するための手段】本発明の第1の構成は、周期関数の符号化サンプリング値系列をROMテーブル変換方式によりデジタル的に生成する回路において、周期関数の1周期の $1/4$ 周期分の振幅値を格納する関数ROMと、前記関数ROMのアドレス信号を生成するアドレス生成部とを備え、前記アドレス生成部は、アキュムレータと、外部より任意に設定可能な第1のレジスタと、前記アキュムレータの出力と前記第1のレジスタの出力との加算を行い前記アキュムレータに入力する加算器と、前記加算器の出力のうち最上位から2ビット以外の出力が入力され前記関数ROMのアドレス信号に変換するアドレス変換回路と、前記アドレス変換回路の出力を格納する第2のレジスタと、前記アキュムレータの最上位ビット出力が入力され論理制御を行うゼロクロスフラグ制御回路とを備え、前記第2のレジスタの出力を前記関数ROMのアドレス信号とし、前記関数ROMは前記加算器の出力のうち最上位から2ビット以外のビット数を2の指数とする累乗値に1を加えたアドレス領域を有し、前記関数ROMから読み出された出力と前記ゼロクロスフラグ制御回路の出力とを合わせて符号化サンプリング値系列とすることを特徴とする。

【0012】また、上記第1の構成における前記アドレス変換回路は、前記加算器の出力のうち最上位から2ビット以外の出力が入力され前記加算器の出力のうち最上位から2ビット目の出力に基づき変換する変換手段を備えることを特徴とする。

【0013】また、上記第1の構成における前記アドレス変換回路は、前記加算器の出力のうち最上位から2ビット目の出力が1の場合には前記加算器の出力のうち最上位から2ビット以外の出力を各ビット毎に反転出力し前記加算器の出力のうち最上位から2ビット目の出力が0の場合には前記加算器の出力のうち最上位から2ビット以外の出力をスルー出力する第1の論理手段と、前記第1の論理手段の出力と前記加算器の出力のうち最上位から2ビット目の出力とを最下位ビットにて加算して出力する第2の論理手段とを備えることを特徴とする。

【0014】また、上記第1の構成における前記ゼロクロスフラグ制御回路は、前記アキュムレータの最上位ビット出力が入力され前記第2のレジスタの全ビット出力の判定に基づき論理制御を行い出力する制御手段を備えることを特徴とする。

【0015】また、上記第1の構成における前記ゼロクロスフラグ制御回路は、前記第2のレジスタの全ビット出力が全て0であることを判定する第3の論理手段と、前記第3の論理手段の出力により制御され前記第2のレジスタの全ビット出力が全て0の場合には前記アキュムレータの最上位ビット出力にかかわらず0を出力し前記第2のレジスタの全ビット出力が全て0ではない場合には前記アキュムレータの最上位ビット出力をスルー出力する第4の論理手段とを備えることを特徴とする。

【0016】さらに、本発明の第2の構成は、周期関数の符号化サンプリング値系列をROMテーブル変換方式によりデジタル的に生成する回路において、周期関数の1周期の1/4周期分の振幅値を格納する関数ROMと、前記関数ROMのアドレス信号を生成するアドレス生成部とを備え、前記アドレス生成部は、アキュムレータと、外部より任意に設定可能な第1のレジスタと、前記アキュムレータの出力と前記第1のレジスタの出力との加算を行い前記アキュムレータに入力する加算器と、前記アキュムレータの出力のうち最上位から2ビット以外の出力が入力され前記関数ROMのアドレス信号に変換するアドレス変換回路と、前記アドレス変換回路の出力を格納する第2のレジスタと、前記アキュムレータの最上位ビット出力を格納する第3のレジスタと、前記第3のレジスタの出力が入力され論理制御を行うゼロクロスフラグ制御回路とを備え、前記第2のレジスタの出力を前記関数ROMのアドレス信号とし、前記関数ROMは前記アキュムレータの出力のうち最上位から2ビット以外のビット数を2の指数とする累乗値に1を加えたアドレス領域を有し、前記関数ROMから読み出された出力と前記ゼロクロスフラグ制御回路の出力とを合わせて符号化サンプリング値系列とすることを特徴とする。

【0017】また、上記第2の構成における前記アドレス変換回路は、前記アキュムレータの出力のうち最上位から2ビット以外の出力が入力され前記アキュムレータの出力のうち最上位から2ビット目の出力に基づき変換する変換手段を備えることを特徴とする。

【0018】また、上記第2の構成における前記アドレス変換回路は、前記アキュムレータの出力のうち最上位から2ビット目の出力が1の場合には前記アキュムレータの出力のうち最上位から2ビット以外の出力を各ビット毎に反転出力し前記アキュムレータの出力のうち最上位から2ビット目の出力が0の場合には前記アキュムレータの出力のうち最上位から2ビット以外の出力をスルー出力する第1の論理手段と、前記第1の論理手段の出力と前記アキュムレータの出力のうち最上位から2ビッ

ト目の出力とを最下位ビットにて加算して出力する第2の論理手段とを備えることを特徴とする。

【0019】また、上記第2の構成における前記ゼロクロスフラグ制御回路は、前記第3のレジスタの出力が入力され前記第2のレジスタの全ビット出力の判定に基づき論理制御を行い出力する制御手段を備えることを特徴とする。

【0020】また、上記第2の構成における前記ゼロクロスフラグ制御回路は、前記第2のレジスタの全ビット出力が全て0であることを判定する第3の論理手段と、前記第3の論理手段の出力により制御され前記第2のレジスタの全ビット出力が全て0の場合には前記第3のレジスタの出力にかかわらず0を出力し前記第2のレジスタの全ビット出力が全て0ではない場合には前記第3のレジスタの出力をスルー出力する第4の論理手段とを備えることを特徴とする。

【0021】また、上記第1又は第2の構成における前記関数ROMの有するアドレス領域の最小アドレスには360度の位相角を1周期とする周期関数の0度の位相角が対応し、前記アドレス領域の最大アドレスには前記周期関数の90度の位相角が対応し、前記最小アドレスから前記最大アドレスまでの各アドレスには0度から90度までの前記位相角を均等に離散化した各位相角が対応して前記周期関数の振幅値が格納されることを特徴とする。

#### 【0022】

【発明の実施の形態】次に、本発明の第1の実施の形態による周期関数生成回路の構成を図1を参照して説明する。図1において、本発明は大きくは、アドレスカウンタ1と、生成する周期関数の振幅値を格納した関数ROM2とにより構成されている。さらに、アドレスカウンタ1は、従来例と同様に、外部から設定可能なレジスタ3と、加算器4と、アキュムレータ5と、レジスタ7と、本発明で特有のアドレス変換回路6と、ゼロクロスフラグ制御回路8とにより構成されている。

【0023】加算器4は、従来例と同様に、外部から設定されたレジスタ3の出力の値と、アキュムレータ5の出力信号a8の値とを加算し、加算結果の信号a7を出力する。アキュムレータ5は、加算器4の出力信号a7をサンプリングクロックによりサンプリング周期でラッチする。

【0024】アドレス変換回路6は、加算器4の出力信号a7のうち最上位から2ビット以外の信号a1が入力され、さらに入力された最上位から2ビット目の信号a2の制御により、入力信号a1を入力信号a1のビット数よりも1ビット多い信号a3に変換して出力する。レジスタ7は、アキュムレータ5と同様に、入力されたアドレス変換回路6の出力信号a3をサンプリングクロックによりサンプリング周期でラッチし信号a4を出力する。

【0025】ゼロクロスフラグ制御回路8は、アキュムレータ5の最上位ビット(MSB)である信号a5が入力され、さらに入力されたレジスタ7の出力信号a4の値により信号a5の論理を制御する。

【0026】関数ROM2には、各アドレスに周期関数の1周期の1/4周期分の振幅値が格納されており、アドレスカウンタ1によって演算されたアドレス信号であるレジスタ7の出力信号a4が入力されて、各アドレスに対応した振幅値が読み出され出力される。読み出された出力信号a9と、符号ビットとしてのゼロクロスフラグ制御回路8の出力信号a6とが合わされ、周期関数の1周期の符号化サンプリング値系列が生成される。

【0027】次に、本発明の第1の実施の形態による周期関数生成回路の動作を図2、図3及び図4を参照して詳細に説明する。図1において、アドレスカウンタ1の加算器4の出力信号a7及びアキュムレータ5の出力信号a8を4ビットとすると、信号a1は2ビット、信号a2, a5, a6は1ビット、信号a3, a4は3ビットであり、信号a9は振幅を5ビットとして量子化する場合5ビットである。ここで、信号a3, a4のビット数は信号a7のビット数から2ビットを引いて1ビットを加えた関係にある。

【0028】生成する周期関数を正弦波とし、関数ROM2の最小アドレスには $\sin(0^\circ)$ の振幅値を、加算器4の出力のうち最上位から2ビット以外のビット数を2の指数とする累乗値に1を加えたアドレス領域の最大アドレスには $\sin(90^\circ)$ の振幅値を格納し、他のアドレスには位相角0度から90度までを均等な位相角の間隔により離散化したサンプリング系列にしたがってそれぞれ量子化した振幅値を格納する。このために、関数ROM2のアドレス信号である信号a4のビット数は加算器4の出力信号a7のビット数から2ビットを引いて1ビットを加えたビット数が必要となる。信号a3と信号a4はレジスタ7の入出力であり同ビット数である。

【0029】一般に、

関数ROM2のアドレス: pビット

関数ROM2のアドレス値:  $m \quad 0 \leq m \leq 2^{p-1}$  (mは正の整数)

とすると、関数ROM2に格納する1/4周期分の正弦波関数は、 $\sin(90^\circ \times (m \div 2^{p-1}))$  となり、さらに振幅をqビットとして量子化すると、振幅の最大値は $2^q - 1$ であるから、関数ROM2に格納する値は、 $(2^q - 1) \times \sin(90^\circ \times (m \div 2^{p-1}))$  と表すことができる。加算器4の出力信号a7は4ビットであるから、関数ROM2のアドレス信号は3ビットとなり、振幅を5ビットとして量子化すると、 $p=3$ 、 $q=5$ 、 $m=0, 1, 2, 3, 4$ として、アドレス0からアドレス4までに格納する振幅値は、  
アドレス0:  $m=0: 31 \times \sin(0^\circ) = 0$

アドレス1:  $m=1: 31 \times \sin(22.5^\circ) \approx 8$   
アドレス2:  $m=2: 31 \times \sin(45^\circ) \approx 16$   
アドレス3:  $m=3: 31 \times \sin(67.5^\circ) \approx 23$

アドレス4:  $m=4: 31 \times \sin(90^\circ) = 31$   
となる。これを説明したのが図2(a)であり、生成する周期関数を正弦波とし、関数ROM2のアドレス0からアドレス4までに格納される正弦波関数の第1象限の1/4周期分の振幅値を表したものである。

【0030】レジスタ3の値を1とした時の内部動作を図4に示す。ここでは説明を容易にするため、初期設定としてアキュムレータ5の値がリセットされているものとする。本発明では、加算器4の出力信号a7のうち最上位から2ビット目の信号a2が1の時には信号a7のうち最上位から2ビット以外の出力信号a1を各ビット毎に反転出力し、信号a2が0の時には信号a1をスルー出力し、さらにこの出力と信号a2とを最下位ビットにて加算して出力する変換制御をアドレス変換回路6で行っている。

【0031】また、ゼロクロスフラグ制御回路8にて、レジスタ7の出力信号a4が正弦波関数のゼロクロス点である関数ROM2の $\sin(0^\circ)$ の値を読み出す3ビット値(000)であることを判定し、信号a4が3ビット値(000)の時には信号a5にかかわらず0を出力し、信号a4が3ビット値(000)ではない時には信号a5をスルー出力する論理制御を行い、関数ROM2出力の符号ビットとなる信号a6を生成している。

【0032】図3は、アドレス変換回路6とゼロクロスフラグ制御回路8の構成をレジスタ7を含めてより具体的に示した構成図であり、排他論理和演算器9、加算器10、比較器11、ゼロクロスフラグ切替器12により構成されている。アドレス変換回路6では、信号a1を各ビット毎に反転する論理操作を排他論理和演算器9で行い、この出力の最下位ビットに1を加える論理演算を加算器10で行っている。ここでは、わざわざ数値1を新たに用意して加えるのではなく、信号a2を直接加算することで済ませている。加算器10の出力信号a3は信号a1より1ビット多い3ビット幅となり、サンプリングクロックのタイミングでレジスタ7にラッチされ3ビット幅の信号a4となり、ゼロクロスフラグ制御回路8の比較器11に入力される。

【0033】ゼロクロスフラグ制御回路8では、比較値として3ビット値(000)が設定され比較結果が一致した時に1が出力され不一致の時に0が出力される比較器11により、正弦波関数のゼロクロス点であるアドレス信号a4の3ビット値(000)を判定検出する。比較器11の出力によりゼロクロスフラグ切替器12が切り替えられ、比較器11の出力が0の時には信号a5をスルー出力し比較器11の出力が1の時には0を出力することで1ビットの信号a6を出力する。信号a6は、

0が正値を、1が負値を表す符号ビットとなる。

【0034】以上のように、図4における信号a4の値を関数ROM2のアドレスとして振幅値を読み出し、信号a6を合わせることで、図2(b)に示す正弦波出力が得られる。図2(b)の出力波形の特徴は、サンプリングクロックと正弦波のゼロクロス点が一致していること、関数ROM2の最大アドレスにおいて正負両方で最大振幅が得られていることである。

【0035】以上は、レジスタ3の設定値を1とした時の動作説明であるが、一般に、

サンプリング周波数： $f_s$

関数ROM2のアドレス： $p$ ビット

関数ROM2のアドレス値： $m$   $0 \leq m \leq 2^{p-1}$  ( $m$ は正の整数)

レジスタ3の設定値： $n$

とすると、

出力周波数= $n \times f_s \div 2^{p+1}$

となり、レジスタ3の設定値 $n$ を変化させることにより、出力周波数をサンプリング周波数 $f_s$ の $n/2^{p+1}$ 倍に自由に設定できる。上式は、0から $2^{p-1}$ までの $2^{p-1} + 1$ 個のアドレス領域を有する関数ROM2には1周期の $1/4$ 周期分の周期関数のみが格納されているが、アドレス変換回路6及びゼロクロスフラグ制御回路8の機能により $2^{p+1}$ 個のアドレス領域に1周期分の周期関数が格納された関数ROMを読み出すのと等価であることを示している。上式を従来例と比べると、本発明では関数ROM2のアドレスビット数が従来例より1ビット多いことから等価である。しかし、本発明ではアドレスビット数は従来例より1ビット多いが、関数ROM2のアドレス領域は $2^{p-1} + 1$ 個であるから、従来例における関数ROMに比べアドレス領域が1つ多いだけである。したがって、従来例とほぼ同等の関数ROM容量にて、1周期分の周期関数を生成できる。

【0036】以上のように、従来例の周期関数発生回路のビット反転制御回路14の代わりにアドレス変換回路6とゼロクロスフラグ制御回路8とを設け、関数ROM2の振幅値の格納を最適化することにより、次の効果を有する周期関数生成回路を実現できる。第1の効果は、従来例とほぼ同等の1周期の $1/4$ 周期分の関数ROM容量で済むことであり、従来例における関数ROMに比べアドレス領域が1つ多いだけである構成に基づく。第2の効果は、周波数面における歪みが全く生じないことであり、アドレス変換回路6及びゼロクロスフラグ制御回路8を設け、ゼロクロス点及び最大振幅点での関数値が歪まず滑らかになるように関数ROM2をアドレス制御した構成に基づく。第3の効果は、振幅面における歪み及びサンプリングクロックとの位相ずれが全く生じないことであり、関数ROM2に生成する周期関数の振幅値の最小値及び最大値を格納している構成に基づく。

【0037】なお、ここまでは正弦波関数を例とした

が、周期波形の1周期が点対称で $1/2$ 周期が線対称のもの、或いは1周期が線対称で $1/2$ 周期が線対称のものであれば、ゼロクロスフラグ制御回路8のゼロクロス点の見直しにより、全て同様に生成することができる。

【0038】次に、本発明の第2の実施の形態による周期関数生成回路の構成を図5を参照して説明する。図5において、本発明の第2の実施の形態は本発明の第1の実施の形態と同様に大きくは、アドレスカウンタ1と、生成する周期関数の振幅値を格納した関数ROM2とにより構成されており、アドレスカウンタ1は、外部から設定可能なレジスタ3と、加算器4と、アキュムレータ5と、アドレス変換回路6と、レジスタ7と、ゼロクロスフラグ制御回路8と、本発明の第2の実施の形態で特有のレジスタ13とにより構成されている。

【0039】本発明の第1の実施の形態においては、加算器4の出力信号a7の一部である信号a1と信号a2とがアドレス変換回路6に入力されていたが、本発明の第2の実施の形態においては、サンプリングクロック1個分遅延したアキュムレータ5の出力信号a8のうち最上位から2ビット以外の信号a10が信号a1の代わりとして、信号a8のうち最上位から2ビット目の信号a11が信号a2の代わりとしてアドレス変換回路6に入力されている。また、この変更のためにアキュムレータ5の最上位ビット(MSB)信号a5が入力されサンプリングクロックのタイミングでラッチ動作を行いゼロクロスフラグ制御回路8に対し出力するレジスタ13を設け、関数ROM2のアドレス生成の経路におけるサンプリングクロック1個分の遅れを調整している。レジスタ13以外の部分の周期関数生成の動作については本発明の第1の実施の形態と同じであるので説明を省略する。

【0040】アキュムレータ5の出力からアドレス変換回路6の入力を得ている理由は、生成する周期関数の精度を高めようとする場合、必然的に関数ROM容量が大きくなり関数ROM2のアドレスビット数が増加し、それにしがって加算器4、アキュムレータ5、アドレス変換回路6のビット数も増加するので演算量が増加することになる。この際、本発明の第1の実施の形態で示したように加算器4の出力とアドレス変換回路6とを直結した構成にすると、演算量の増加によりサンプリングクロック1個分の時間内で演算処理を完了できない状態が起こり得る。したがって、これを防止するために、本発明の第2の実施の形態による構成にすることにより、全体的な遅延は増加するが、演算精度の高い周期関数を生成することが可能となる。

【0041】

【発明の効果】以上説明したように、本発明を用いれば、従来の周期関数発生回路のビット反転制御回路の代わりにアドレス変換回路とゼロクロスフラグ制御回路とを設け、関数ROMの振幅値の格納を最適化することにより、従来とほぼ同等の1周期の $1/4$ 周期分の関数R



OM容量でありながら、周波数面における歪み、振幅面における歪み、及びサンプリングクロックとの位相ずれが全く生じない周期関数を生成する周期関数生成回路を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による周期関数生成回路の構成図である。

【図2】本発明の第1の実施の形態による周期関数生成回路の動作説明図であり、(a)は関数ROMに正弦波関数を格納する際の関数ROMアドレスと格納される振幅値との関係図であり、(b)は $n=1$ の場合の出力波形図である。

【図3】本発明の第1の実施の形態による周期関数生成回路のアドレス変換回路とゼロクロスフラグ制御回路の詳細構成図である。

【図4】本発明の第1の実施の形態による周期関数生成回路の内部動作を示す表である。

【図5】本発明の第2の実施の形態による周期関数生成回路の構成図である。

【図6】従来例の周期関数発生回路の構成図である。

【図7】従来例の周期関数発生回路の内部動作を示す表である。

【図8】従来例の周期関数発生回路の動作説明図であり、(a)は関数ROMに正弦波関数を格納する際の関数ROMアドレスと格納される振幅値との関係図であり、(b)は $n=2$ の場合の出力波形図である。

【図9】従来例の周期関数発生回路の動作説明図であり、(a)は関数ROMに第1の格納例により正弦波関数を格納する際の関数ROMアドレスと格納される振幅値との関係図であり、(b)は $n=1$ の場合の出力波形図である。

【図10】従来例の周期関数発生回路の動作説明図であり、(a)は関数ROMに第2の格納例により正弦波関数を格納する際の関数ROMアドレスと格納される振幅値との関係図であり、(b)は $n=1$ の場合の出力波形図である。

【符号の説明】

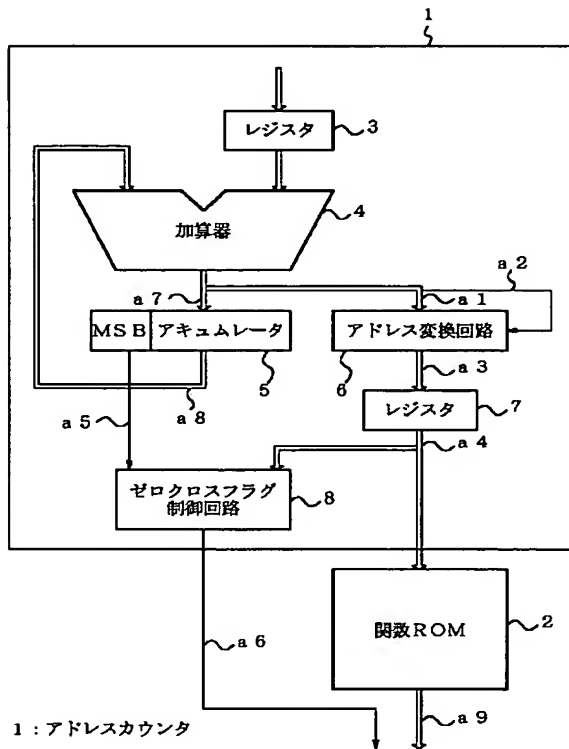
- 1 アドレスカウンタ
- 2 関数ROM
- 3 レジスタ
- 4 加算器
- 5 アキュムレータ
- 6 アドレス変換回路
- 7 レジスタ
- 8 ゼロクロスフラグ制御回路
- 9 排他論理和演算器
- 10 加算器
- 11 比較器
- 12 ゼロクロスフラグ切替器
- 13 レジスタ
- 14 ビット反転制御回路
- a1～a11 信号

【図4】

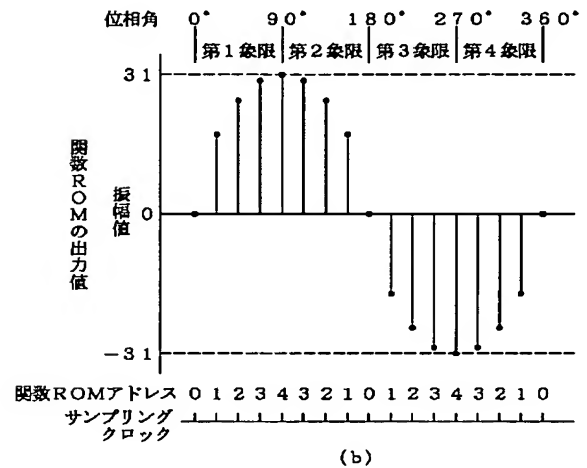
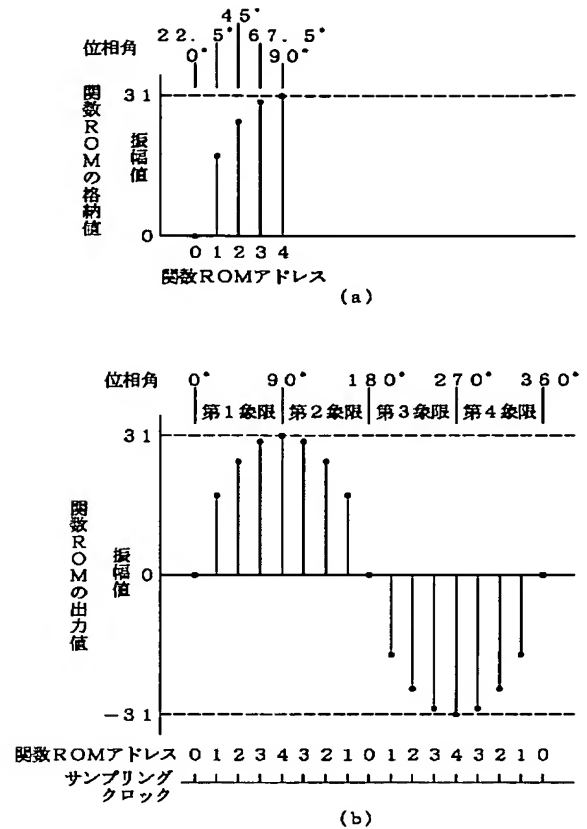
サンプリング クロック(回数)	加算器4 (a7)の値	a2 の値	a1 の値	a3 の値	アキュムレータ5 (a8)の値	MSB (a5)の値	a6 の値	レジスタ7 (a4)の値
0	0001	0	01	001	0000	0	0	000
1	0010	0	10	010	0001	0	0	001
2	0011	0	11	011	0010	0	0	010
3	0100	1	00	100	0011	0	0	011
4	0101	1	01	011	0100	0	0	100
5	0110	1	10	010	0101	0	0	011
6	0111	1	11	001	0110	0	0	010
7	1000	0	00	000	0111	0	0	001
8	1001	0	01	001	1000	1	0	000
9	1010	0	10	010	1001	1	1	001
10	1011	0	11	011	1010	1	1	010
11	1100	1	00	100	1011	1	1	011
12	1101	1	01	011	1100	1	1	100
13	1110	1	10	010	1101	1	1	011
14	1111	1	11	001	1110	1	1	010
15	0000	0	00	000	1111	1	1	001
16	0001	0	01	001	0000	0	0	000



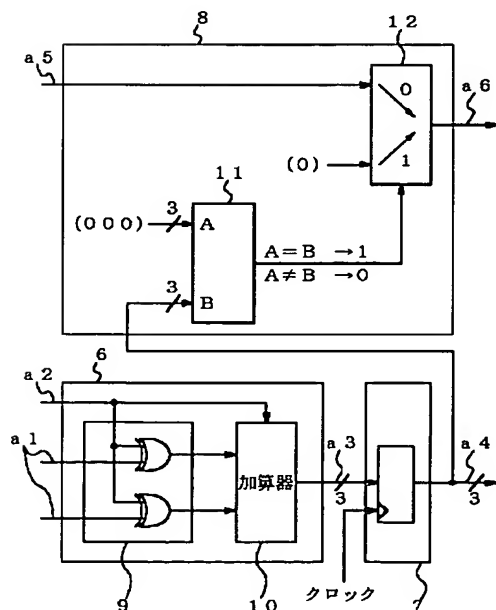
【图 1】



【図 2】



【图3】

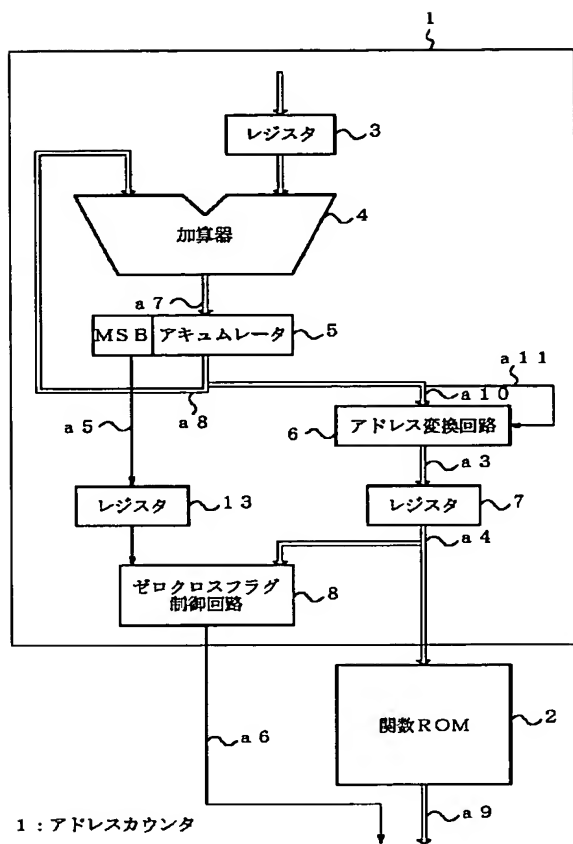


- 6 : アドレス変換回路
- 7 : レジスタ
- 8 : ゼロクロスフラグ制御回路
- 9 : 排他論理和演算器
- 11 : 比較器
- 12 : ゼロクロスフラグ切替器

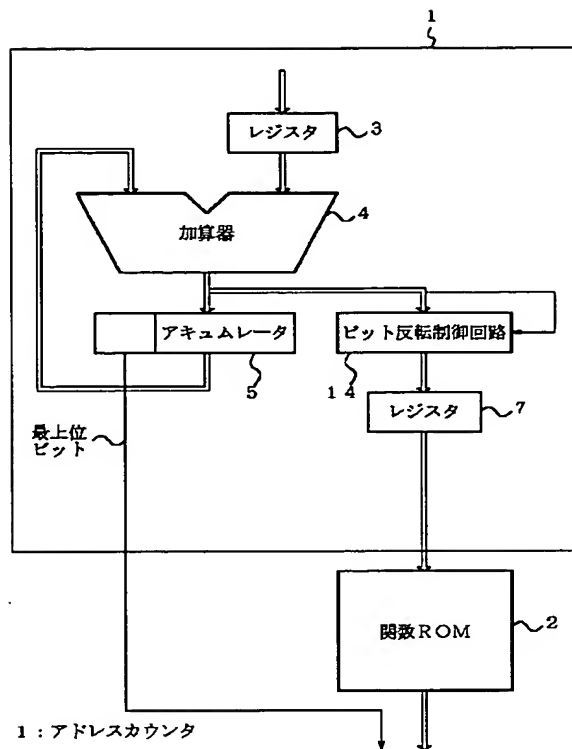
【图 7】

サンプリング クロック (回数)	アキュムレータ 6 の値	MSB	レジスタ 7 の値
0	0000	0	00
1	0001	0	01
2	0010	0	10
3	0011	0	11
4	0100	0	11
5	0101	0	10
6	0110	0	01
7	0111	0	00
8	1000	1	00
9	1001	1	01
10	1010	1	10
11	1011	1	11
12	1100	1	11
13	1101	1	10
14	1110	1	01
15	1111	1	00
16	0000	0	00

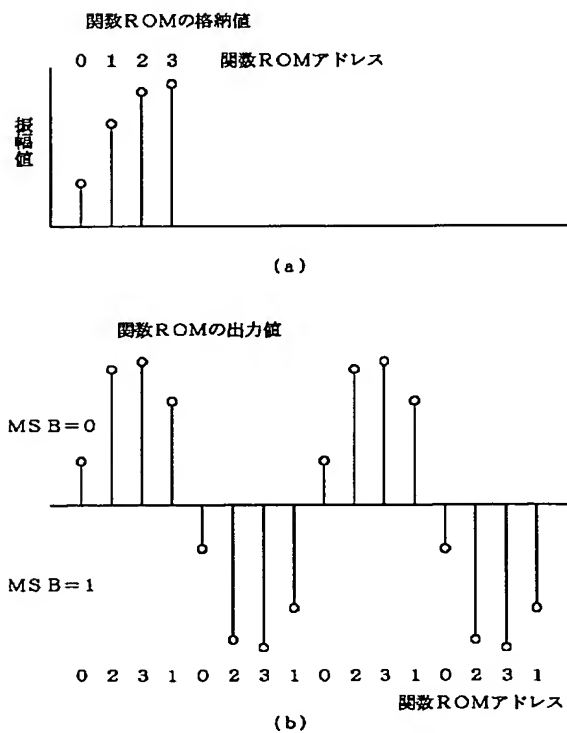
【図 5】



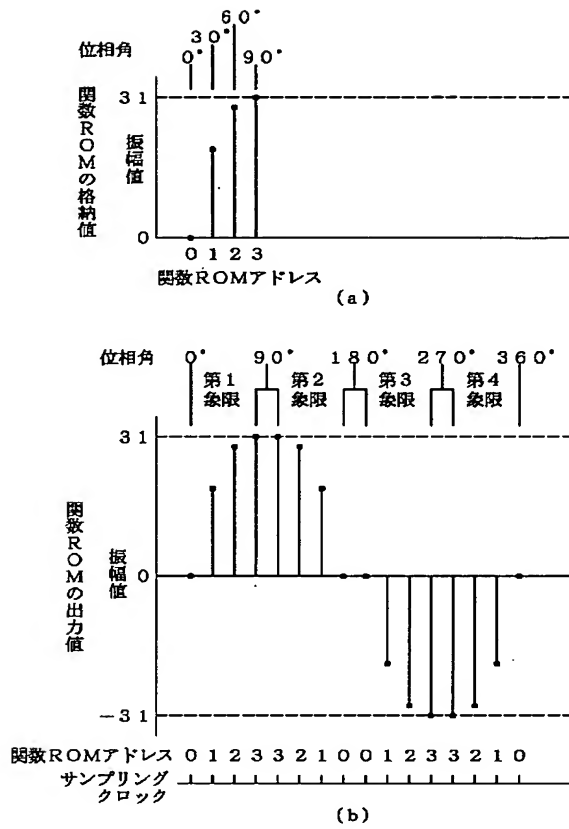
【図 6】



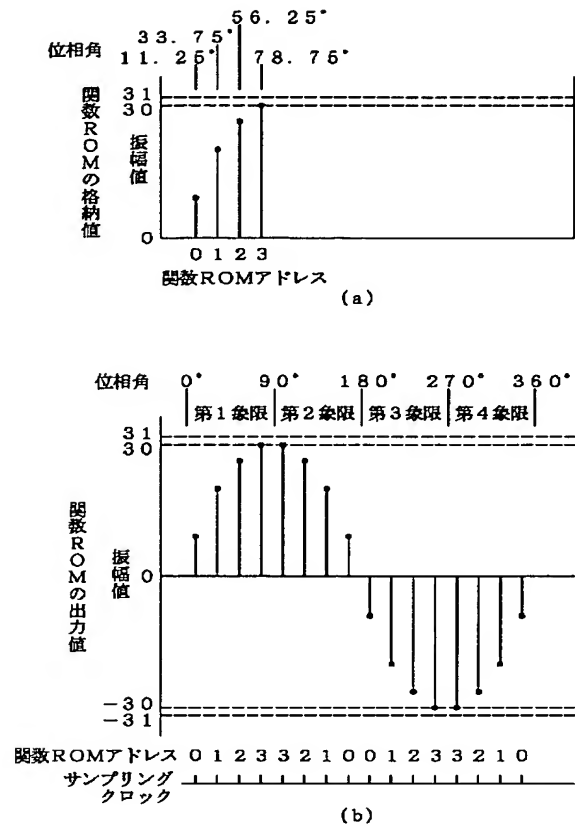
【図 8】





【図 9】



【図 10】




## Circuit for generating a periodic function

Patent Number:  EP1030238  
Publication date: 2000-08-23  
Inventor(s): SHIDA HIROAKI (JP)  
Applicant(s):: NIPPON ELECTRIC CO (JP)  
Requested Patent:  JP2000215029 (JP00215029)  
Application Number: EP20000101451 20000125  
Priority Number(s): JP19990016960 19990126  
IPC Classification: G06F1/035 ; G06F101/04  
EC Classification: G06F1/035B  
Equivalents:

---

### Abstract

---

There is provided a circuit for generating a periodic function, comprising a function ROM (2) in which an amplitude associated with one-fourth of a period of a periodic function is stored, and an address counter (1) which generates an address signal to be input into the function ROM (2). The address counter (1) is characterized by an address-conversion circuit (6) which receives a first output (a1) transmitted from the adder (4), and converts the first output (a1) into the address signal, the first output (a1) being a bit output other than a second uppermost bit output among bit outputs (a7) transmitted from the adder (4), and a zero-cross flag control circuit (8) which receives an uppermost bit output (a5) transmitted from the accumulator (5). 

---

Data supplied from the esp@cenet database - I2